|  |  |
| --- | --- |
| **Curso:** | Ciência da Computação |
| **Disciplina:** | Sistemas Digitais |
| **Professor:** Luís Carlos Pompeu | |
| **Aluno: Leonardo Faria Araujo** | |

**Questões de Revisão**

Uma imagem contendo Tabela

Descrição gerada automaticamente1. Considere a seguinte tabela verdade:

Essa tabela verdade tem a seguinte expressão em forma de soma de produtos:

Uma imagem contendo Ícone

Descrição gerada automaticamente

Diagrama, Esquemático

Descrição gerada automaticamenteCom essa expressão podemos criar o circuito abaixo:

Faça a simplificação da expressão utilizando os teoremas apresentados nas aulas com o circuito equivalente e depois faça a simplificação da tabela verdade utilizando o mapa de Karnaugh e o circuito equivalente.

T’PC + TP’C’ + TP’C + TPC’ + TPC

PC(T’+T)+TP’C’+TP’C+TPC’

(1)(PC)+TP’C’+TP’C+TPC’

C(P+TP’)+TP’C’+TPC’

(P+TP’)(C’)+TP’C’+TPC’

(P+T)(C)+TP’C’+TPC’

C(+TC’)(P)+TC+TP’C’

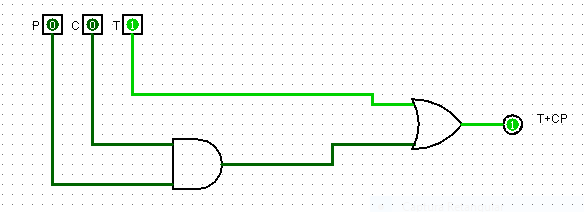
T(PC’P’)+CP+TC

(P+C’)(T)+CP+TC

T(C’+C)+PT+CP

T+PT+CP

= T+CP



|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| CP | | | | |
| T | 00 | 01 | 11 | 10 |
| 0 | 0 | 1 | 1 |
| 0 | 1 | 1 | 1 |

2. Qual é o estado normal de repouso das entradas SET e RESET? E qual é o estado ativo de cada uma?

SET = Alto

RESET = Baixo

3. Quais serão os estados de Q e Q’ após um FF ter sido resetado?

Q = 0

Q’ = 1

4. Verdadeiro ou falso: a entrada SET nunca pode ser usada para gerar Q = 0.

Verdadeiro

5. Quando o circuito de qualquer FF é energizado, é impossível determinar os estados iniciais de Q e Q’. O que poderia ser feito para garantir que um latch NAND sempre comece no estado em que Q = 1?

Aplicar um nível baixo na entrada SET’

6. Qual é o estado normal de repouso das entradas de um latch NOR? Qual é o estado ativo dessas entradas?

Baixo e Alto

7. Quando um FF está setado, qual é o estado das saídas Q e Q’?

Q = 1

Q’ = 0

8. Qual é a única maneira de levar a saída Q de um latch NOR a comutar de 1 para 0?

Deixando o RESET como 1